

《图像信息处理技术》专题文章导读

韩广良

中国科学院长春光学精密机械与物理研究所

图像信息处理是一门涉及了数学、物理学、电子学、计算机、微电子学、自动控制、人工智能等多领域学科的综合技术,由于其多学科特性和技术挑战性,吸引了大批的科研人员对其进行研究和探索,大量的图像及信息处理技术的研究成果已广泛应用于国民经济各行各业,发挥着越来越大的作用。

图像处理技术研究室是长春光机所从事图像及信息处理技术研究的专项技术研究室,成立几十年来,专注于图像、视频、信息处理的基础理论和工程应用研究,形成了服务于国家建设需求并不断创新发展 的专业布局。

本专栏为图像处理技术研究室部分研究成果的介绍,内容包含了成像处理、图像识别及测量算法、图像处理平台、系统应用新架构及新体制显示等的研究及应用。

《基于 TMS320C6455+FPGA+SDRAM 的快速视频跟踪系统设计》一文从工程实际需求出发,论述了一款图像跟踪系统的设计。通过 FPGA 控制达到视频降频输出的要求,解决高帧频图像数据量大难以实时传输显示的问题。

《基于 DM368 的无人机视频压缩系统的设计》一文以 DM368 为核心处理器,设计出一套可供无人机使用的低功耗视频实时压缩系统。试验结果表明,系统具有功耗低、处理延迟小、外部电路简单、实时性强等诸多优势。

《激光制导动靶照射精度测量系统》一文针对激光制导动靶照射光斑的精确测量应用,论述了光斑检测、精准时序控制及动靶跟踪等主要问题的解决方案,经外场试验证明,可以满足动靶跟踪和测量要求。

《雷达告警态势图在小型舰船跟踪预警系统中的应用》一文提出了一种多目标跟踪目标态势显示、目标自动告警的雷达告警态势图。通过系统应用证明,这种态势图方法取得较为理想的效果,在低成本告警系统中具有较好的应用意义。

《一种 CMOS 相机测量系统的设计》一文介绍了一种应用在空间项目中,可以对合作目标进行自动识别和测量的 CMOS 相机系统。文中描述了相机系统中数据流的处理过程,包括图像压缩,多通道数据交换、数据通讯等关键技术的实现。

《基于非标定双目网络摄像头的实时立体显示系统设计》一文采用非标定立体校正的方法,设计了一套实时立体显示系统,提供了两种立体显示方式,并对系统的立体显示效果进行了主观评价。实验证明,立体显示的效果基本令人满意。

《基于 DSP+FPGA 平台的复杂背景目标检测与跟踪》一文根据灰度特征编码的原理,利用 FPGA 实现了改进的中值滤波算法和灰度特征编码匹配算法。实验证明,该匹配跟踪算法容易进行硬件实现,能够达到提高系统实时性的要求。

文章编号:1007-2780(2014)06-1111-06

基于 TMS320C6455+FPGA+SDRAM 的快速视频跟踪系统设计

贺柏根*,刘 剑,刘伟宁,郝志成

(中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033)

摘要:图像跟踪是图像处理领域研究较多也比较关键的技术之一。随着微电子技术不断发展,在光电经纬仪、机载光电平台等图像跟踪应用领域对视频跟踪器系统的要求越来越高,当前视频图像帧频偏低已对伺服系统传输带宽形成不小制约,而高帧频图像又有视频传输的瓶颈。为了解决这一问题,本文设计了一款基于 TMS320C6455+FPGA+SDRAM 的图像跟踪系统。本系统通过 FPGA 控制 SDRAM 对视频图像进行缓存后输出,达到视频降频输出的要求,以解决高帧频图像数据量大难以实时传输显示的问题,同时通过对相关跟踪算法做进一步优化使其满足 100 frame/s 视频的实时跟

收稿日期:2014-05-15;修订日期:2014-06-17.

基金项目:国家高技术研究发展计划(No. 863 计划)(No. 2005AA778032)

* 通信联系人,E-mail:hebaigen@sohu.com

踪要求。实验证明该系统工作有效稳定,能满足工程实际需求。

关 键 词:目标跟踪;TMS320C6455;SDRAM;图像处理

中图分类号:TP394.1;TH691.9 文献标识码:A doi:10.3788/YJYXS20142906.1111

Fast image tracking system design based on TMS320C6455+FPGA+SDRAM

HE Bai-gen*, LIU Jian, LIU Wei-ning, HAO Zhi-cheng

(Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China)

Abstract: Image tracking is focused by many researchers, and it has been one of the key technologies of the image processing. With the continuous development of microelectronics technology, it requires more and more for video tracking system in practice, such as theodolite and optical platform of UAV. The current video frame rate of the image tracking system is too low, it has formed large constraints on transmission bandwidth of the servo system. While, there are bottlenecks on transmission using high frame rate. In order to solve the above problems, this paper designed a image tracking system based on TMS320+FPGA+SDRAM. In this system, the data of image output are send out after SDRAM controlled by FPGA cached, so that the video frame rate becomes low, and it can be real-time tracked and displayed. In order to meet the requirements of real-time tracking for 100 frame/s video, this paper make the correlation algorithm further simplified. Experimental results show that this system can work effectively and stably, and it can meet the actual needs of the project.

Key words: target tracking; TMS320C6455; SDRAM; image processing

1 引 言

在无人侦察机及光电经纬仪等领域,图像跟踪是一项极为关键的技术。学术界对图像跟踪技术研究起步早关注度高,该技术已日趋成熟。但随着科技水平的不断发展,各应用领域对图像跟踪技术在集成化、鲁棒性、实时性等方面提出了更高的要求。集成化方面,设备小型化、轻型化要求越来越高,对跟踪器一般都需要板卡级嵌入式系统实现,鲁棒性和实时性往往互斥,需做合理折中。实际应用中,为了提高伺服系统跟踪带宽以使系统对机动目标适应性更强,对图像帧频提出更高要求,由起初的标准 PAL 制模拟视频(25 frame/s),提高到 30 frame/s Cameralink 数字视频,现在已经需要达 100 frame/s 甚至更高。在图像帧频提高的同时图像数据量相应变大,受遥测数据传输带宽所限,在图像传送显示时需要对其

其进行抽帧降频处理。

基于以上背景需求,本文设计了一款基于 TMS320C6455+FPGA+SDRAM 结构的实时图像跟踪嵌入式系统,该系统能对 100 帧双 TAB 视频(视频分左右路同时送出)图像实时稳定跟踪且能将视频抽帧降频为 25 frame/s 后输出。

2 硬件结构

本系统硬件设计采用 TI 公司高速数字信号处理芯片 TMS320C6455 作为主运算处理器。该芯片在主频为 1 GHz 下完成 100 frame/s 视频对目标的实时跟踪。FPGA 采用 Altera 公司 Stratix II 系列 EP2S50F1020I4N 芯片与两片 SDRAM 配合完成跟踪器系统内部数据分配及图像抽帧输出任务。具体结构框图如图 1 所示。

为适应 100 frame/s 视频图像的大数据量传输要求,本系统视频输入采用双路双 TAB 模式,

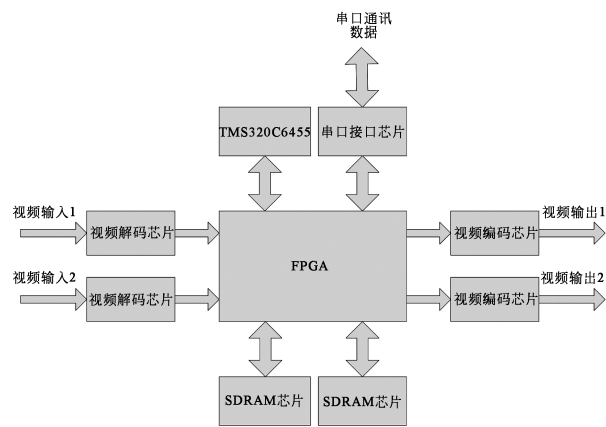


图 1 快速视频跟踪系统硬件框图

Fig. 1 Hardware block diagram of the fast image tracking system

在图像行场有效期间,每个像素时钟同时传输 2 个像素数据即 $data(0) \& data(512)$, $data(1) \& data(513)$,……分两路 IN1、IN2 同时输入本跟踪系统。具体数据格式如图 2 所示。

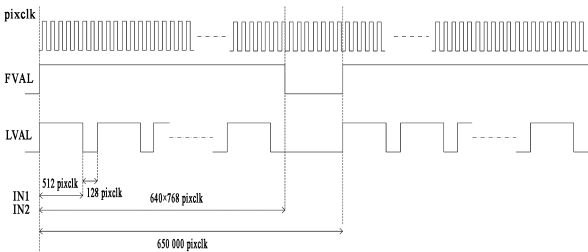


图 2 视频源时序图

Fig. 2 Sequence diagram of source video

视频通过两路 CameraLink 视频接口进入跟踪系统后,在 FPGA 中分两路单独处理,一路送入 DSP 做跟踪处理,实时计算目标脱靶量;另一路做送往 SDRAM,做抽帧处理后输出。系统设两路输出,可将抽帧后视频送往两种不同用途。

2.1 视频跟踪

为了保证图像跟踪的实时性,送往 DSP 的视频图像在 FPGA 中不经处理,直接按双 TAB 模式以 16 位数据送往 DSP。在传统的图像跟踪中,为节省时间提高系统实时性,根据图像跟踪时目标移动的连续性 DSP 采集图像一般采取开窗法进行,即在大小为 $a \times b$ 的原始图像中选取目标当前位置为中心的大小为 $X \times Y$ 的窗口内进行目标模板为 $x \times y$ 的跟踪算法计算(其中 $a > X > x$, $b > Y > y$),如图 3 所示。

本系统为适应视频源信号双 TAB 模式输入的需求,图像数据是前半幅与后半幅图像数据同时到达,若目标在横坐标为 $a/2$ 处时传统开窗法位置换算复杂,且有图像“不连续”的问题,给图像采集造成困扰。为此,本系统设计 DSP EDMA 采集图像采用 16 位数据模式整行采集进行,即 DSP 按照视频源图像格式通过 16 位数据总线采集,图像进入 DSP 后再进行图像整合拼接,组成如图 4 所示大小为 $a \times Y$ 的窗口图像数据。做跟踪算法时,在图 4 所示的窗口数据中进行二次开窗形成大小为 $X \times Y$ 的目标实际搜索窗口。

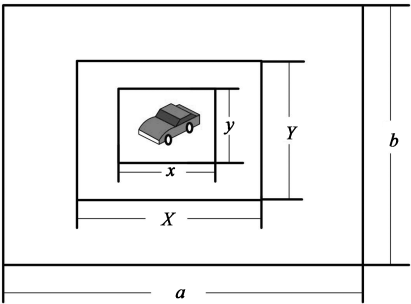


图 3 传统跟踪系统图像采集示意图

Fig. 3 Traditional image acquisition schematic of tracking system

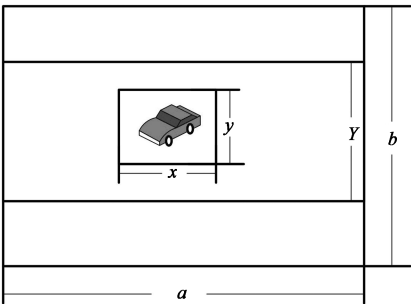


图 4 本文设计的跟踪习题图像采集方法

Fig. 4 Image acquisition schematic of tracking system designed in this article

2.2 视频抽帧拼接

SDRAM 以其价格低、集成度高、数据读取速度快及技术相对成熟且包括 Atera 和 Xilinx 等当前比较主流的 FPGA 芯片都已集成了 SDRAM 控制核,而被广泛应用于多种数据存取领域。本系统视频抽帧拼接由 FPGA 控制两片 SDRAM 进行乒乓读写来完成,在 FPGA 中的功能模块划分如图 5 所示。

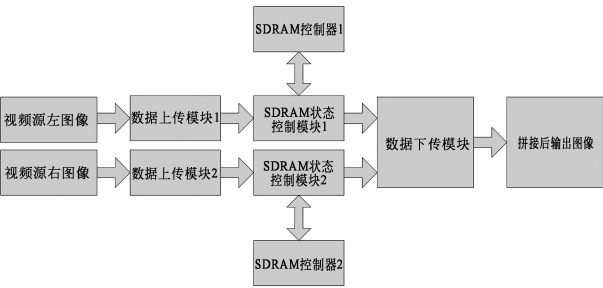


图 5 FPGA 控制 SDRAM 功能模块图
Fig. 5 Functional block of the FPGA controlling SDRAM

本系统对视频抽帧总的设计思路是两路视频分别写入两片 SDRAM 且每四帧数据只写一帧，即将 100 frame/s 视频数据降频为 25 frame/s 的频率写入 SDRAM 中。写完一帧后，再从 SDRAM 中把所写数据读出。读出两片 SDRAM 的数据先分别存入一个 FPGA 内部 FIFO 中，最后再从各自 FIFO 中将数据送往 CamerLink 输出接口。在从 FIFO 读取数据时，按照乒乓方式进行操作，即先读取第一片 FIFO 中数据直至读空，再开始读取第二片 FIFO，从而完成视频的拼接工作。此过程中加入 FIFO 缓存的好处是，该系统可实现对视频源像素时钟的自适应^[1-6]。

在如图 5 所示的功能模块中，视频源左图像和视频源右图像分别表示经由两路 CameraLink 接口输入系统的原始视频，数据上传模块主要用来将视频数据在一个 FIFO 中进行缓存，在往 FIFO 中写的时候要进行抽帧处理，即每 4 帧图像抽取一帧写入，其他 3 帧丢弃，以此实现由 100 frame/s 到 25 frame/s 的降频处理。在此模块中主要由一个帧计数器和帧同步写控制两个功能，其中帧计数器由视频图像的场同步进行计数，计数满 4 后清零，取计数值为 0 的帧的数据写入 FIFO 中，帧同步写控制用来确保第一个写的是一帧数据的开头。SDRAM 状态控制模块完成 SDRAM 的控制功能，主要包括初始化和读写控制。系统上电或复位后对 SDRAM 初始化一次，这里 SDRAM 的系统时钟设在 133 MHz，突发长度设为 8。SDRAM 读、写用状态机来控制，控制过程如图 6 中数据上传部分所示。

图 6 中数据上传 FIFO 和 SDRAM 的写满标志信号主要靠计数产生，例如处理两路 512×768 视频图像时，则当往 FIFO 中写数据时，写满 512×768×3 bit 数据时表示 FIFO 或 SDRAM

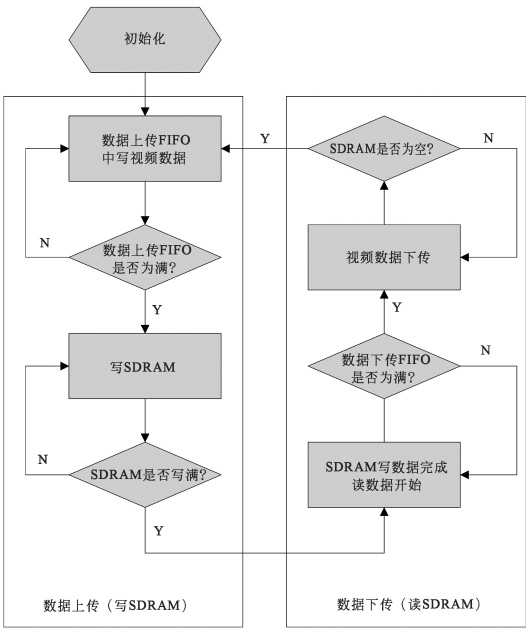


图 6 SDRAM 状态机控制流程图
Fig. 6 Flow chart of the SDRAM state controlling

已写满^[7-9]。数据下传模块控制过程如图 6 中数据下传部分所示，该模块将 SDRAM 读出的数据先放在 FIFO 中做缓存，由于是从 2 片 SDRAM 同时读取数据，因此需开 2 个 FIFO，FIFO 大小不小于 1 024×24 bit。这里也用了个状态机来控制从这两个 FIFO 读数，当检测到第一个 FIFO 里面的数据个数大于或等于 512 个时，就开始从这个 FIFO 把数读出，同时使得输出视频数据的场有效信号 FVAL 和行有效信号 LVAL 置高，从第一个 FIFO 读完 512 个数据后，转到读取第二个 FIFO，也读取 512 个数据，读完第二个 FIFO 后，行有效信号 LVAL 信号置低，然后等待 512 个时钟周期，再转到读取第一个 FIFO，LVAL 信号再置高，就这样按上面的方式，一直读了 768 次后，FVAL 信号置低，接下来再等待 1 420 352 个时钟周期，这时又重复上面的方式，从而把数据组织成 1 024×768×24 bit，且帧频为 25 Hz。这里时钟为 65 MHz。输出信号的时序图如图 7 所示。

图 5 中 SDRAM 控制器模块则直接采用 altera 提供的 SDRAM 控制器来完成。

综上，本系统通过在 FPGA 中对 SDRAM 时序的控制很好地实现了对双 Tap 100 frame/s 视频图像的降频和拼接工作。实验证明，该方法输出图像清晰稳定，能有效解决该类问题。

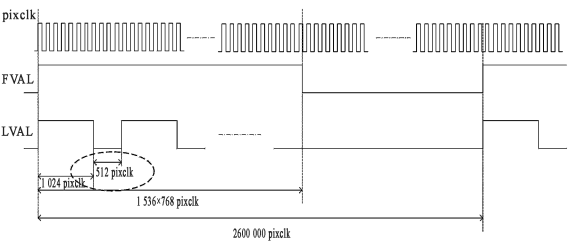


图 7 系统输出视频时序图

Fig. 7 Timing diagram of the system output video

3 图像跟踪算法

目标跟踪是图像处理领域研究较早关注度较高的部分,随着技术的不断进步,近些年来研究出不少基于特征点等新的算法。新的算法一般复杂度较高,在工程实际应用尤其是需要基于嵌入式系统实现的过程中会受硬件存储容量和运算速度等所限而难以实现。本系统为了能够满足对 100 frame/s 视频的实时稳定跟踪要求,采用经典的相关算法做优化后实现。

相关算法是通过求取实时图像和预存模板之间最大相似度完成目标跟踪的。对一个二维图像,相关函数可用式(1)表示:

$$R(u,v) = \frac{\sum_{j=1}^M \sum_{k=1}^N (X(j+u,k+v) \times Y(j,k))}{\sum_{j=1}^M \sum_{k=1}^N \sqrt{X(j+u,k+v)^2} \sum_{j=1}^M \sum_{k=1}^N \sqrt{Y(j,k)^2}}, \tag{1}$$

式中: $X(j,k)$ 表示实时图, $Y(j,k)$ 表示预存模板。可以看出,该算法是一个乘累加过程,为了能够满足实时性要求,本系统在 DSP 中实现对算法进行了一系列优化。进行的优化操作主要有用逻辑判断语句代替 if... else... 语句,如此则减少了后者跳转指令的延时间隙;式(1)中在循环中有平方操作,在此用乘法代替平方操作,以加快运算速度;式(1)中有对模板 $Y(j,k)$ 求绝对值累加和的过程,在模板不更新的情况下,此参数为定值,本系统中,只在模板做更新时对该参数进行计算,大大减少运算量;同时根据 DSP 硬件结构特性,在做 for 循环时变量变化不是从 0 到 N 的上升模式,而改为从 N 到 0 的降低模式等。经过综上一系列优化处理,该跟踪算法在本系统中运算速度能控制在 8 ms 之内,比优化前 11 ms 有明显提高,能满足该跟踪系统对 100 frame/s 视频的实时跟踪^[10-12]。

4 实验结果

为验证本系统的工作有效性和稳定性,在自制板卡上采用帧频为 100 frame/s,像素时钟为 65 MHz,图像大小为 1 024×768 的相机进行实验。实验过程中手持相机快速抖动,以测试系统跟踪效果。结果如图 8 所示,可以看出本系统对目标能稳定跟踪。

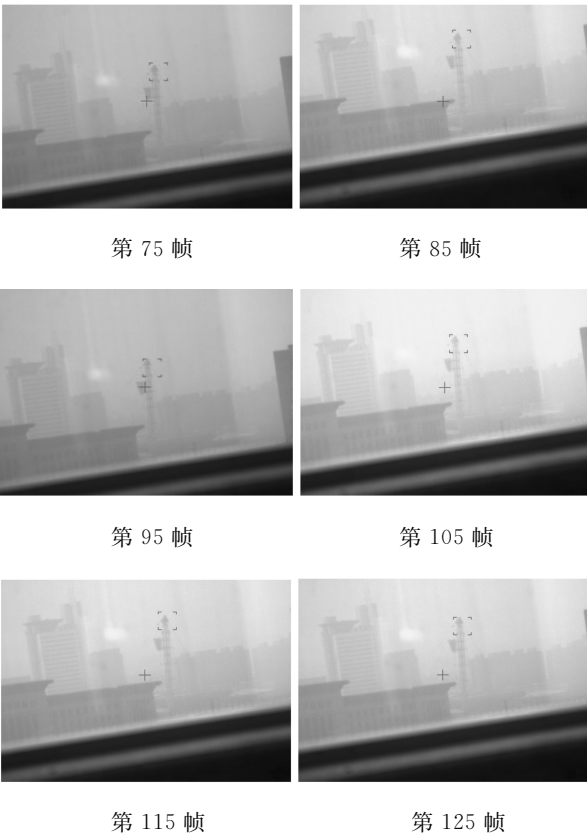


图 8 实验结果图

Fig. 8 Figures of experimental results

5 结 论

本文主要针对视频帧频比较高,要求跟踪算法速度快且图像数据量大,视频传输需降频处理的问题而设计了一款基于 DSP+FPGA+SDRAM 的图像跟踪系统。本系统采用 FPGA 控制 SDRAM 缓存的方式实现了图像的降频处理,图像跟踪算法采用跟踪效果较好、计算量较小的相关跟踪优化后实现。实验证明本系统工作稳定有效,能够满足工程应用需求。

参 考 文 献:

- [1] 苏海冰, 吴钦章. 用 SDRAM 在高速数据采集和存储系统中实现海量缓存[J]. 光学精密工程, 2002, 10(5): 462-465.
Su H B, Wu Q Z. Realization of mass storage by using SDRAM in a high speed data acquisition and storage system [J]. *Optics and Precision Engineering*, 2002, 10(5): 462-465. (in Chinese)
- [2] 段晓晨, 何小刚, 程永强. 实时视频 SDRAM 控制器的 FPGA 设计与实现[J]. 太原理工大学学报, 2006, 37: 5-8.
Duan X C, He X G, Cheng Y Q. The design and implement of real-time video SDRAM controller based on FPGA [J]. *Journal of Taiyuan University of Technology*, 2006, 37: 5-8. (in Chinese)
- [3] 高文, 朱明, 刘剑, 等. 基于 DSP+FPGA 框架的实时目标跟踪系统设计[J]. 液晶与显示, 2014, 29(4): 611-616.
Gao W, Zhu M, Liu J, et al. Design of real-time target tracking system based on DSP+FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(4): 611-616. (in Chinese)
- [4] 周望玮, 史小军, 朱为, 等. 基于 FPGA 的 SDRAM 读写双口控制器设计[J]. 电子器件, 2006, 29(2): 581-584.
Zhou W W, Shi X J, Zhu W, et al. Design of double interface controller on SDRAM with FPGA [J]. *Chinese Journal of Electron Devices*, 2006, 29(2): 581-584. (in Chinese)
- [5] 唐玉蓉. 基于 FPGA 的高速数据采集系统设计与实现[D]. 北京: 北京邮电大学, 2012.
Tang Y R. Design and implementation of high-speed data acquisition system based on FPGA [D]. Beijing: Beijing University of Posts and Telecommunications, 2012. (in Chinese)
- [6] 李娟. 基于 FPGA 的图像预处理及显示系统的设计[D]. 长春: 中国科学院长春光学精密机械与物理研究所, 2011.
Li J. Design of displaying system and image preprocessing based on FPGA [D]. Changchun: Changchun Institute of optics, Fine Mechanics and Physics Chinese Academy of Science, 2011. (in Chinese)
- [7] 郭敬明, 何昕, 魏仲慧. 基于在线支持向量机的 Mean Shift 彩色图像跟踪[J]. 液晶与显示, 2014, 29(1): 120-128.
Guo J M, He X, Wei Z H. New mean shift tracking for color image based on online support vector machine [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(1): 120-128. (in Chinese)
- [8] 薛陈. 复杂环境下视频目标跟踪技术的算法和应用研究[D]. 北京: 中国科学院研究生院, 2010.
Xue C. Research on algorithm and application of visual object tracking under complex environment [D]. Beijing: Chinese Academy of Sciences, 2010. (in Chinese)
- [9] Shwartz s, Namer E Y Y, Schechner. Blind haze separation [C]. *Proceedings of IEEE CVPR*, 2006: 1984-1991.
- [10] 李华, 朱波. 基于 FPGA 的彩色图像实时采集系统设计[J]. 液晶与显示, 2014, 29(2): 258-265.
Li H, Zhu B. Design of real-time color image acquisition system based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2014, 29(2): 258-265. (in Chinese)
- [11] Omer I, Werman M. Color lines: image specific color representation [C]. *IEEE Conf. Computer Vision and Pattern Recognition*, 2004, 2: 946-953.
- [12] 王喆. 基于 FPGA 和 SDRAM 半实物仿真系统硬件控制子系统的设计与实现[D]. 西安: 西安电子科技大学, 2007
Wang Z. Design and implement of hardware control subsystem of hil simulation system based on FPGA and SDRAM [D]. Xian: Xidian University, 2004. (in Chinese)

作者简介: 贺柏根(1983—), 男, 山西平遥人, 工学博士, 助理研究员, 主要从事视频跟踪、景象匹配、图像处理等方面的研究。E-mail: hebaigen@sohu.com

刘 剑(1973—), 男, 吉林长春人, 工学学士, 高级工程师, 主要从事图像处理方面研究。

郝志成(1978—), 男, 辽宁营口人, 工学博士, 副研究员, 主要从事图像跟踪、目标识别方面研究。